

# Application Note



## FC Core - funkční vzorek čítače frekvence

Jiří Kadlec, Leoš Kafka, Jiří Svozil

[kadlec@utia.cas.cz](mailto:kadlec@utia.cas.cz)

### Obsah

1. Úvod.....	2
2. Popis systému.....	2
3. Parametry modulu.....	3
4. Použité/Potřebné vybavení a nástroje.....	4
5. Funkční vzorek čítače frekvence fc_core pro desku S3E1600.....	4
6. Poděkování.....	7
7. FC_CORE demo.....	8
8. Licensing and availability (anglicky).....	8
9. Disclaimer (anglicky).....	8
10. Reference.....	9

### Revize

Revize	Datum	Autor	Popis změn v dokumentu
0	2.10.2008	Jiří Svozil	Vytvoření dokumentu
1	13.11.2008	Jiří Svozil	Revize dokumentu
2	12.12.2009	Jiří Kadlec	Verze pro ISE 11.3 s popisem příkladu
3	31.12.2010	Jiří Kadlec	Verze pro ISE 12.4 s popisem příkladu
4	2.08.2011	Jiří Kadlec	Verze pro ISE 13.2 s popisem příkladu

## 1. Úvod

Tento dokument popisuje funkční vzorek HW modulu univerzálního čítače frekvence. Jádro systému je založeno na UPB (Universal PicoBlaze Wrapper) jehož autorem je Ing. Leoš Kafka.

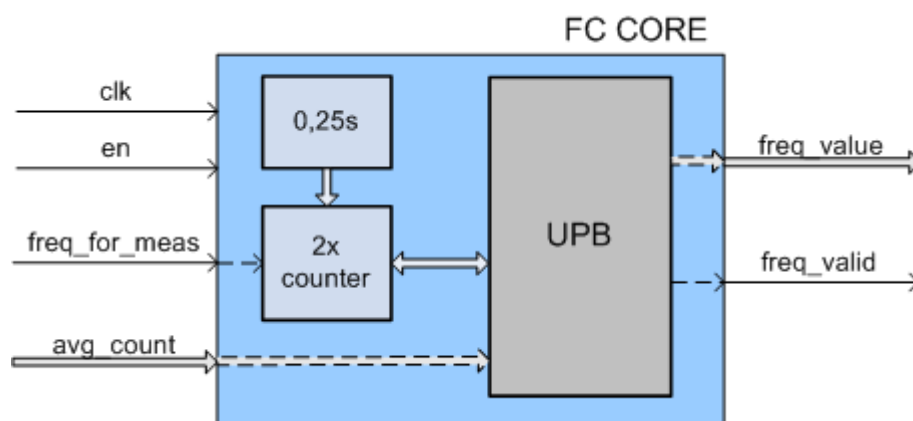
UPB je konfigurovatelný wrapper procesoru PicoBlaze [1]. Funkční vzorek HW modulu univerzálního čítače frekvence stejně tak jako UPB byl vytvořen v rámci projektu VLAM.

Funkční vzorek umožňuje přesné měření frekvencí v rozsahu 10Hz až 200MHz s možností průměrování. Je vytvořen tak, aby i uživateli bez rozsáhlých znalostí daného problému, usnadnil práci při vytváření aplikací, kde je zapotřebí měření frekvence. Uživatel pak může tento modul zařazovat do složitějších systémů, kde tento modul pouze připojí a již se nemusí zabývat samotným procesem řízení.

Testovací příklad vychází z příkladu [6h], jehož autorem je Ken Chapman.

## 2. Popis systému

Čítač frekvence umožňuje měření frekvencí v rozsahu 10Hz až 200MHz s možností průměrování hodnot od 1 do 128. Modul je založen na konfigurovatelném wrapperu UPB, který je v tomto případě obsahuje 16 vstupních a 8 výstupních registrů. Blokové schéma modulu znázorňuje Obr.1.



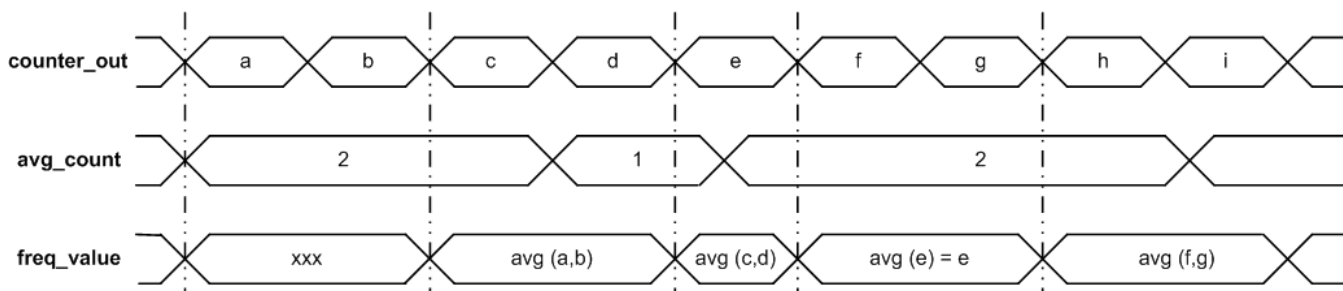
Obrázek 1 Blokové schéma modulu čítače frekvence

Vstupními porty modulu jsou: hodinový signál *clk*, povolení funkce modulu *en*, vstupní signál měřeného kmitočtu *freq\_for\_meas* a osmibitová hodnota počtu průměrovaných vzorků *avg\_count*.

Výstupní porty jsou hodnota naměřené frekvence *freq\_value* a ukazatel platnosti dat *freq\_valid*. Seznam portů s popisem je v tabulce **Chyba! Nenalezen zdroj odkazů.**

Princip práce modulu vychází z doby časové základny 0,25s, po kterou je čítán vstupní měřený signál. Načtená hodnota je dále odesílána do UPB, kde je zpracována (průměrována) a předána na 32 bitový výstup modulu *freq\_value*. Jako ukazatel platnosti výstupních dat slouží signál *freq\_valid*.

Počet průměrovaných vzorků *avg\_count* lze kdykoliv libovolně měnit, avšak vstupní signál může nabývat pouze hodnot  $2^N$  kde  $N=1,2,3 \dots 7$ . Při změně počtu průměrovaných vzorků je třeba brát v úvahu, že tato hodnota je systémem čtena až po dokončení výpočtu předcházejícího průměru, viz Obrázek 2.



Obrázek 2 Změna počtu průměrovaných vzorků

Tabulka 1 - Přehled portů modulu čítače frekvence

Port	Vstup/Výstup	Šířka [bit]	Význam
clk	Vstup	1	Hodinový signál
en	Vstup	1	Povolení funkce modulu (aktivní v log.1)
freq_for_meas	Vstup	1	Signál měřeného kmitočtu
avg_count	Vstup	8	Počet průměrovaných vzorků
freq_value	Vstup	32	Hodnota naměřené frekvence (v Hz)
freq_valid	Vstup	1	Ukazatel platnosti výstupních dat

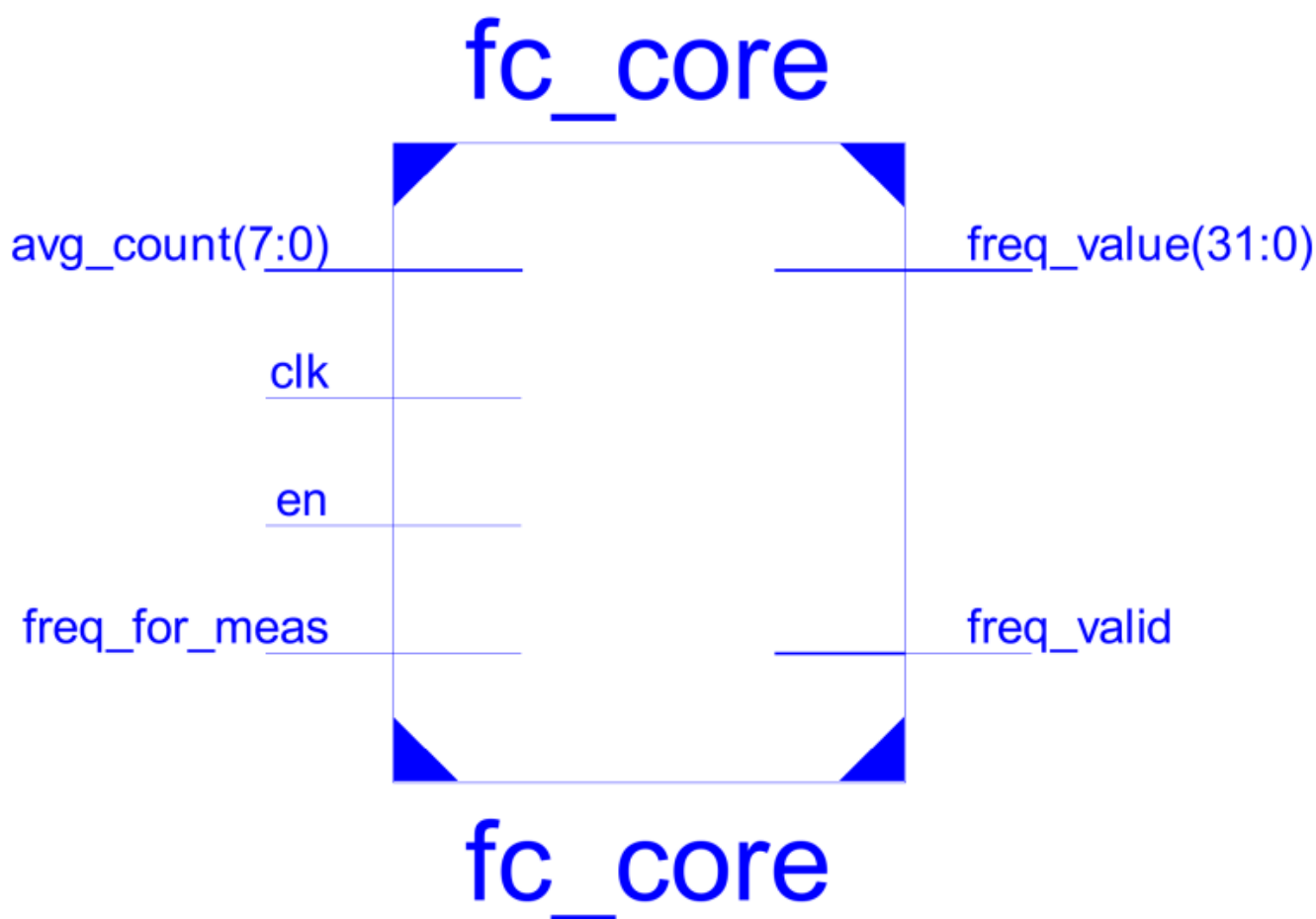
### 3. Parametry modulu

Rozsah měřených frekvencí modulu je od 10Hz až do 200MHz. Počet průměrovaných hodnot je od 2 do 128.

Velikost fc\_core modulu uvádí tabulka 2:

Tabulka 2 – HW nároky modulu čítače frekvence FC\_CORE

Number of Slices	238
Number of Slice Flip Flops	292
Number of 4 input LUTs	341
Number of BRAMs	1



Obrázek 3 fc\_core v ISE 13.2

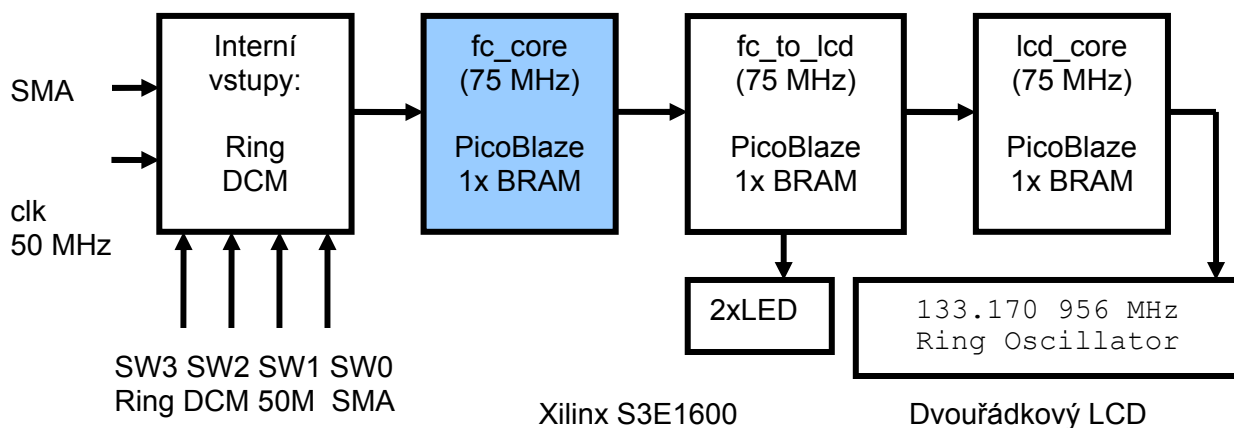
#### 4. Použité/Potřebné vybavení a nástroje

Modul čítače frekvence byl napsán v programovacím jazyce VHDL ve vývojovém prostředí Xilinx ISE 13.2 [3]. Program procesoru PicoBlaze byl napsán v assembleru a k překladač byl použit assembler *KCPSM3.exe*, který je součástí balíčku procesoru PicoBlaze [1]. Testovací příklad byl vytvořen na vývojovém kitu Xilinx S3E1600 [2], viz příložené CD.

#### 5. Funkční vzorek čítače frekvence fc\_core pro desku S3E1600

Ukázkový příklad čítače frekvence. Program měří frekvenci z určeného vstupu a tu pak zobrazuje (v jednotkách Hz) na LCD displeji. Výběr vstupu pro měření se provádí pomocí přepínačů SW0-SW1 na desce S3E1600. Dvojice LED diod indikuje zvolný vstup.

Blokové schéma funkčního vzorku zachycuje Obr. 4.



**Obrázek 4: Blokové schéma funkčního vzorku s FC\_CORE**

Každý vstup odpovídá jednomu přepínači. Aktivní může být vždy pouze jeden vstup.

Hodnota frekvence je průměrovaná a to standardně z osmi vzorků.

Hodiny modulu FC\_CORE s kmitočtem 75 MHz jsou generovány v FPGA z hodinového signálu desky 50 MHz pomocí modulu dcm\_mhz. Funkční vzorek dovoluje měření těchto dvou interních referenčních vstupů:

50M        50.000 000 MHz  
DCM        75.000 000 MHz

Interní testovací signál generovaný pomocí ring oscilátoru pracuje na frekvenci závislé na lokální teplotě v daném místě čipu. Jeho frekvence se na testovaných vzorcích FPGA xc3s1600e-4fg320 pohybuje kolem 120 – 140 MHz

Data o velikosti a proudovém odběru implementovaného demonstrátoru funkčního vzorku v ISE 13.2 jsou uvedena v tabulce 4.

**Tabulka 4 – Velikost a odběr celého HW**

	XC3S1600E-4
	top_3s1600e
Number of Slices	506
Number of Slice Flip Flop	504
Number of 4 input LUTs	708
Number of BRAMs	3
VCCINT 1,2V (FPGA)	60mA
Odběr na 5,0V zdroji	510mA

Vstupy a výstupy demonstrátoru funkčního vzorku modulu FC\_CORE na desce S3E1600 uvádí tabulka 5.

Tabulka 5 – Vstupy a výstupy funkčního vzorku FC\_CORE na desce S3E1600

	<pre> NET "clk_50" PERIOD = 20.0ns HIGH 50%; NET "clk_50" LOC = "C9"   IOSTANDARD = LVCMOS33; NET "sma_clk" LOC = "A10"   IOSTANDARD = LVCMOS33;  NET "led&lt;7&gt;" LOC = "A8"   IOSTANDARD = LVCMOS33   SLEW = SLOW   DRIVE = 8; NET "led&lt;6&gt;" LOC = "G9"   IOSTANDARD = LVCMOS33   SLEW = SLOW   DRIVE = 8; NET "led&lt;5&gt;" LOC = "A7"   IOSTANDARD = LVCMOS33   SLEW = SLOW   DRIVE = 8; NET "led&lt;4&gt;" LOC = "D13"   IOSTANDARD = LVCMOS33   SLEW = SLOW   DRIVE = 8; NET "led&lt;3&gt;" LOC = "E6"   IOSTANDARD = LVCMOS33   SLEW = SLOW   DRIVE = 8; NET "led&lt;2&gt;" LOC = "D6"   IOSTANDARD = LVCMOS33   SLEW = SLOW   DRIVE = 8; NET "led&lt;1&gt;" LOC = "C3"   IOSTANDARD = LVCMOS33   SLEW = SLOW   DRIVE = 8; NET "led&lt;0&gt;" LOC = "D4"   IOSTANDARD = LVCMOS33   SLEW = SLOW   DRIVE = 8;  NET "lcd_rs" LOC = "L18"   IOSTANDARD = LVCMOS33; NET "lcd_rw" LOC = "L17"   IOSTANDARD = LVCMOS33; NET "lcd_e" LOC = "M18"   PULLDOWN   IOSTANDARD = LVCMOS33; NET "lcd_d&lt;4&gt;" LOC = "M16"   IOSTANDARD = LVCMOS33; NET "lcd_d&lt;5&gt;" LOC = "P6"   IOSTANDARD = LVCMOS33; NET "lcd_d&lt;6&gt;" LOC = "R8"   IOSTANDARD = LVCMOS33; NET "lcd_d&lt;7&gt;" LOC = "T8"   IOSTANDARD = LVCMOS33;  NET LCD_RET LOC=E3   IOSTANDARD = LVCMOS33; NET LCD_CS1 LOC=P3   IOSTANDARD = LVCMOS33; NET LCD_CS2 LOC=P4   IOSTANDARD = LVCMOS33;  NET "strataflash_oe" LOC = "C18"   IOSTANDARD = LVCMOS33; NET "strataflash_ce" LOC = "D16"   IOSTANDARD = LVCMOS33; NET "strataflash_we" LOC = "D17"   IOSTANDARD = LVCMOS33;  NET "sw&lt;0&gt;" LOC = "L13"   IOSTANDARD = LVCMOS33   PULLUP; NET "sw&lt;1&gt;" LOC = "L14"   IOSTANDARD = LVCMOS33   PULLUP; NET "sw&lt;2&gt;" LOC = "H18"   IOSTANDARD = LVCMOS33   PULLUP; NET "sw&lt;3&gt;" LOC = "N17"   IOSTANDARD = LVCMOS33   PULLUP; </pre>
--	--

Demonstrátoru funkčního vzorku modulu FC\_CORE na desce S3E1600 je zobrazen na obr. 5.



Obrázek 5: Funkční vzorek modulu modulu FC\_CORE na desce S3E1600

## 6. Poděkování

Návrh a realizace tohoto funkčního vzorku byla podpořena projektem ministerstva školství a tělovýchovy číslo 2C06008, <http://www.vlam.cz>.

## 7. FC\_CORE demo

S3E1600\ impl\ fc_core\ fc_core.ngc	Modul převodníku
fc_to_lcd\ ad_to_lcd.ngc	Modul převádí výstup z fc_core na text
dcm_mhz\ dcm_mhz.ngc	Modul generující hodinový signál 75 MHz
lcd_core\ lcd_core.ngc	Modul LCD dvouřádkového zobrazovače
top_3s1600e\ ...	Projekt pro překlad funkčního vzorku pomocí Xilinx ISE 13.2
top_3s1600e_bit\ top_3s1600e_mcf\ src\ ucf\ top_3s1600e.ucf	Konfigurační data funkčního vzorku Konfigurační data pro platform flash
vhdl\ top_3s1600e.vhd	Definice vstupů a výstupů pro 3s1600e  Zdrojový kód ve VHDL (top level)

## 8. Licensing and availability (anglicky)

This functional sample is provided in form of netlist compiled by Xilinx ISE 13.2 [3] for the Xilinx xc3s1600e-4fg320 [2]. If you plan to use this functional sample netlist for education purposes, you can contact UTIA AV CR, v.v.i. for support. The contact person in UTIA is Jiri Kadlec [kadlec@utia.cas.cz](mailto:kadlec@utia.cas.cz) tel. +420 2 6605 2216 fax. +420 2 6605 2511.

If you consider commercial use of this functional sample in form of netlist compiled by Xilinx ISE 13.2 [3] for the Xilinx xc3s1600e-4fg320 FPFA or if you need the source code of this functional sample, please contact UTIA AV CR v.v.i. Commercial End User License Agreement (Commercial EULA) between you and UTIA AV CR, v.v.i. needs to be signed. The contact person in UTIA is Jiri Kadlec [kadlec@utia.cas.cz](mailto:kadlec@utia.cas.cz) tel. +420 2 6605 2216 fax. +420 2 6605 2511.

## 9. Disclaimer (anglicky)

This disclaimer is not a license and does not grant any rights to the materials distributed herewith. Except as otherwise provided in a valid license issued to you by UTIA AV CR v.v.i., and to the maximum extent permitted by applicable law:

- (1) THIS APPLICATION NOTE AND RELATED MATERIALS LISTED IN THE PACKAGE CONTENT ARE MADE AVAILABLE "AS IS" AND WITH ALL FAULTS, AND UTIA AV CR V.V.I. HEREBY DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and
- (2) UTIA AV CR v.v.i. shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under or in connection with these materials, including for any direct, or any indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if



such damage or loss was reasonably foreseeable or UTIA AV CR v.v.i. had been advised of the possibility of the same.

#### Critical Applications:

UTIA AV CR v.v.i. products are not designed or intended to be fail-safe, or for use in any application requiring fail-safe performance, such as life-support or safety devices or systems, Class III medical devices, nuclear facilities, applications related to the deployment of airbags, or any other applications that could lead to death, personal injury, or severe property or environmental damage (individually and collectively, "Critical Applications"). Customer assumes the sole risk and liability of any use of UTIA AV CR v.v.i. products in Critical Applications, subject only to applicable laws and regulations governing limitations on product liability.

## 10. Reference

- [1] PicoBlaze 8-bit Embedded Processor UG129 June 22, 2011  
[http://www.xilinx.com/support/documentation/ip\\_documentation/ug129.pdf](http://www.xilinx.com/support/documentation/ip_documentation/ug129.pdf)
- [2] MicroBlaze Development Kit Spartan-3E 1600E Edition User Guide UG257 (v1.1) December 5, 2007  
[http://www.xilinx.com/support/documentation/boards\\_and\\_kits/ug257.pdf](http://www.xilinx.com/support/documentation/boards_and_kits/ug257.pdf)
- [3] Xilinx ISE 13.2, <http://www.xilinx.com/>
- [4] řadič HD44780 <http://www.datasheetarchive.com/HD44780-datasheet.html>
- [5] Spartan3 datasheet [http://www.xilinx.com/support/documentation/data\\_sheets/ds099.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds099.pdf)
- [6] Xilinx Spartan-3E FPGA Starter Kit Board Design Examples  
[http://www.xilinx.com/products/boards/s3estarter/reference\\_designs.htm](http://www.xilinx.com/products/boards/s3estarter/reference_designs.htm)
- [6a] Ken Chapman, Initial Design for Spartan-3E Starter Kit (LCD Display Control), ISE 8.1i, Xilinx Ltd 16th, February 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_startup.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_startup.pdf)
- [6b] Ken Chapman, Rotary Encoder Interface for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 20th February 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_rotary\\_encoder\\_interface.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_rotary_encoder_interface.pdf)
- [6c] Ken Chapman, Amplifier and A/D Converter Control for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 23rd February 2006  
[www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_amplifier\\_and\\_adc\\_control.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_amplifier_and_adc_control.pdf)
- [6d] Ken Chapman, D/A Converter Control for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 21st February 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_dac\\_control.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_dac_control.pdf)
- [6e] Ken Chapman, NOR FLASH Programmer for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, March 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_nor\\_flash\\_programmer.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_nor_flash_programmer.pdf)
- [6f] Ken Chapman, SPI FLASH Programmer for Spartan-3E Starter Kit ISE 7.1i, Xilinx Ltd, November 2004  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_spi\\_flash\\_programmer.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_spi_flash_programmer.pdf)
- [6g] Ken Chapman, Frequency Generator for Spartan-3E Starter Kit, ISE 8.2i, Xilinx Ltd, 18th July 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_frequency\\_generator.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_frequency_generator.pdf)
- [6h] Ken Chapman, Frequency Counter for Spartan-3E Starter Kit (with test oscillators), ISE 8.1i, Xilinx Ltd, 7th March 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_frequency\\_counter.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_frequency_counter.pdf)
- [6i] Ken Chapman, Software Implementation of Pulse Width Modulation (PWM). A reference design using the Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 24th May 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_pwm\\_control.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_pwm_control.pdf)